

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

NEXT

2 / 5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-260400
 (43)Date of publication of application : 13.09.2002

(51)Int.Cl. G11C 29/00
 G01R 31/28

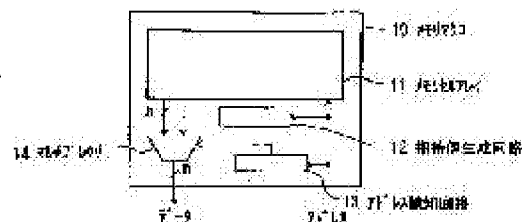
(21)Application number : 2001-053686 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 28.02.2001 (72)Inventor : FUKUDA MAKOTO

(54) SEMICONDUCTOR MEMORY AND MEMORY MIXED LOGIC LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To output data from a memory-macro even in the outside of an address space of a memory-macro at testing of a memory-macro.

SOLUTION: A memory-macro 10 is composed of a memory cell array 11 storing data, an expected value generating circuit 12 generating a test expected value, an address detecting circuit 13 discriminating whether an external address exists in constitution of the memory-macro 10 or not and outputting a control signal (expected value output command), and a multiplexer 14 (output selecting circuit) selecting either of output data of the memory cell 11 or the expected value generating circuit 12 and outputting as data of the memory-macro 10. The expected value generating circuit 12 generates an expected value when the outside of an address space of the memory cell array 11 is accessed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 1 1 C 29/00	6 7 5	G 1 1 C 29/00	6 7 5 L 2 G 1 3 2
	6 7 1		6 7 1 Z 5 L 1 0 6
G 0 1 R 31/28		G 0 1 R 31/28	B
			V

審査請求 未請求 請求項の数10 O L （全 8 頁）

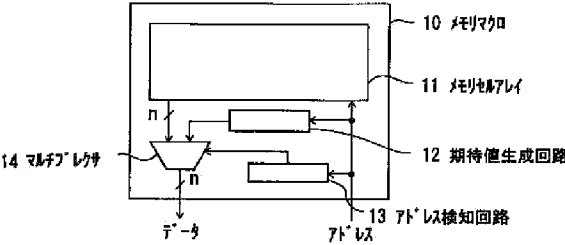
(21)出願番号	特願2001-53686(P2001-53686)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成13年 2月28日(2001. 2. 28)	(72)発明者	福田 良 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
		(74)代理人	100083161 弁理士 外川 英明
		Fターム(参考)	2G132 AA08 AA15 AB01 AD06 AK09 AL09 AL25 5L106 DD01 DD03 DD04

(54)【発明の名称】 半導体記憶装置およびメモリ混載ロジックLSI

(57)【要約】

【課題】 本発明は、メモリマクロのテスト時、メモリマクロのアドレス空間外でもメモリマクロからのデータ出力を可能にするものである。

【解決手段】 メモリマクロ10内に、データを記憶するメモリセルアレイ11と、テスト期待値を生成する期待値生成回路12と、外部アドレスがメモリマクロ10の構成中存在するものかどうかを判定し、制御信号（期待値出力コマンド）を出力するアドレス検知回路13と、制御信号によりメモリセルアレイ11と期待値生成回路12の出力データのどちらかを選択し、メモリマクロ10のデータとして出力するマルチプレクサ14（出力選択回路）とから構成されている。期待値生成回路12は、メモリセルアレイ11のアドレス空間外がアクセスされた時に、期待値を生成する。



【特許請求の範囲】

【請求項1】 データを記憶するメモリセルアレイと、期待値を生成する期待値生成回路と、制御信号に基づいて、前記メモリセルアレイのデータ、および、前記期待値生成回路の期待値の少なくともいずれかを選択して出力する第1の出力選択回路とを具備し、前記期待値生成回路は、前記メモリセルアレイのアドレス空間外がアクセスされた時に、期待値を生成することを特徴とする半導体記憶装置。

【請求項2】 アドレス信号が入力され、このアドレス信号に基づいて前記制御信号を生成するアドレス検知回路をさらに具備することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 データを記憶するメモリセルアレイと、ビット幅を示すIOアドレス信号に基づき、前記メモリセルアレイからデータを分割して出力する第1の出力選択回路と、期待値を生成する期待値生成回路と、制御信号に基づいて、前記第1の出力選択回路のデータまたは前記期待値生成回路の期待値の少なくともいずれかを選択して出力する第2の出力選択回路とを具備し、前記期待値生成回路は、前記第1の出力選択回路から分割して出力されるメモリセルアレイのデータが所望のビット幅に満たない時に、期待値を生成することを特徴とする半導体記憶装置。

【請求項4】 前記IOアドレス信号が入力され、このIOアドレス信号に基づいて前記制御信号を生成するIOアドレス検知回路をさらに具備することを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記期待値生成回路は、ロウ／カラムアドレス信号が入力され、このロウ／カラムアドレス信号に基づいて期待値を生成することを特徴とする請求項1乃至4のいずれか記載の半導体記憶装置。

【請求項6】 請求項1または2に記載の複数の半導体記憶装置と、前記半導体記憶装置からの出力データを入力とする出力演算装置とを具備することを特徴とするメモリ混載ロジックLSI。

【請求項7】 第1の半導体記憶装置と、第2の半導体記憶装置と前記第1および第2の半導体記憶装置からの出力データを入力とする出力演算装置とを備え、前記第1の半導体記憶装置は、請求項1または2に記載の半導体記憶装置であることを特徴とするメモリ混載ロジックLSI。

【請求項8】 前記第1の半導体記憶装置のメモリセルアレイは、前記第2の半導体記憶装置のメモリセルアレイよりも容

量が小さいことを特徴とする請求項7記載のメモリ混載ロジックLSI。

【請求項9】 前記出力演算装置は、前記半導体記憶装置のうち1つを選択することを特徴とする請求項6乃至8のいずれかに記載のメモリ混載ロジックLSI。

【請求項10】 前記出力演算装置は、前記半導体記憶装置のすべてを同時に選択することを特徴とする請求項6乃至8のいずれかに記載のメモリ混載ロジックLSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に関し、特に1チップ内に複数のメモリマクロが搭載されるメモリ混載デバイスに関するものである。

【0002】

【従来の技術】 近年、半導体メモリの機能（メモリマクロ）を含む複数の機能をワンチップに集積し、ワンチップ内に特定のシステムを形成したメモリ混載ロジックLSI（システムLSI）が注目されている。メモリ混載ロジックLSIのメモリマクロ内には、メモリマクロの機能を確認するため、テスト制御ブロックが設けられている。テスト時に、このテスト制御ブロックを機能させてメモリマクロのテストを行っている。しかし、複数のメモリマクロを有するメモリ混載ロジックLSIの場合には、複数のメモリマクロを1つずつ順番にテストすることになるため、テスト時間が増大するという欠点がある。

【0003】 そこで、複数のメモリマクロを同時にアクセスし、それぞれのメモリマクロのテストデータ出力をコンパレートする回路を用いて、テストをする技術が提案されている（特開2000-133000号公報）。

【0004】 図8は、従来のメモリマクロが搭載されたメモリ混載ロジックLSIの回路構成図である。メモリ混載ロジックLSIには、メモリマクロと、メモリマクロ以外の機能を有する回路ブロックが形成されている。図8の半導体チップ80内には、4つのメモリマクロ81A～81D、出力選択回路（例えば、マルチプレクサ）82、および、パッド83a、83bが配置されている。そして、nビットの入力データを転送可能な入力信号線84の一端がパッド83aに接続され、他端がメモリマクロ81A～81Dに共通に接続されている。nビットの出力データを転送可能な第1の出力信号線85A～85Dの一端が各メモリマクロ81A～81Dに接続され、他端が出力選択回路82に接続されている。また、nビットの出力データを転送可能な第2の出力信号線86の一端が出力選択回路82に接続され、他端がパッド83bに接続されている。

【0005】 メモリマクロ81A～81Dは、メモリセ

10

20

30

40

50

ルに記憶されたデータを、バッファを通して出力する。出力選択回路82は、メモリマクロ81A～81Dから出力されたデータが入力され、メモリ選択情報信号によって選択されたメモリマクロのデータを演算し、その結果を出力するものである。

【0006】尚、出力選択回路82は、メモリマクロを1つずつ選択してテストする場合に用いられる。メモリマクロを同時にテストする場合は、出力合成回路を用いる。出力合成回路は、データ出力間で演算し、その結果を出力するものである。

【0007】

【発明が解決しようとする課題】例えば、異なる容量のメモリセルアレイを持つメモリマクロを1つずつ選択してテストする時、容量にあわせた処理が必要となる。

【0008】また、例えば、それぞれ容量の異なるメモリマクロを同時にテストしようとした時、他のメモリマクロよりも小さい容量のメモリマクロでは、アドレス空間外のデータを要求された場合は正常なデータが出力されない。

【0009】そのため、メモリマクロに存在しないアドレス空間にアクセスした時には、データ出力を無効にするような機能をもたせなければならなかった。例えば、メモリマクロの出力を無効にするような制御信号を使用するロジックを組まなければならず、出力選択回路または出力合成回路が複雑になってしまうという問題があった。

【0010】また、メモリマクロからデータが出力される前に、制御信号の有効／無効を切り替えるように、制御信号の入力タイミングを注意しなければならなかった。したがって、異なる構成の複数のメモリマクロに対しては、その制御の切り替えのために連続したアドレス空間をシームレスにテストすることが困難であった。

【0011】本発明は、上記課題を解決するもので、その目的は、メモリマクロを個々にテストする時、または、異なる容量のメモリセルアレイを持つ複数のメモリマクロを同時にテストする時、メモリマクロのアドレス空間外やメモリセルアレイの半端なビット分についてもメモリマクロからのデータ出力を可能にする半導体記憶装置およびメモリ混載ロジックLSIを提供することにある。

【0012】

【課題を解決するための手段】第1の発明による半導体記憶装置は、データを記憶するメモリセルアレイと、期待値を生成する期待値生成回路と、制御信号に基づいて、前記メモリセルアレイのデータまたは前記期待値生成回路の期待値のいずれかを選択して出力する第1の出力選択回路とを具備し、前記期待値生成回路は、前記メモリセルアレイが存在しないアドレスをアクセスされた時に、期待値を生成することを特徴としている。さらに、アドレス信号が入力され、このアドレス信号に基づ

いて前記制御信号を生成するアドレス検知回路を具備することを特徴としている。

【0013】また、第2の発明による半導体記憶装置は、データを記憶するメモリセルアレイと、ビット幅を示すIOアドレス信号に基づき、前記メモリセルアレイからデータを分割して出力する第1の出力選択回路と、期待値を生成する期待値生成回路と、制御信号に基づいて、前記第1の出力選択回路のデータまたは前記期待値生成回路の期待値の少なくともいずれかを選択して出力する第2の出力選択回路とを具備し、前記期待値生成回路は、前記第1の出力選択回路から分割して出力されるメモリセルアレイのデータが所望のビット幅に満たない時に、期待値を生成することを特徴としている。さらに、前記IOアドレス信号が入力され、このIOアドレス信号に基づいて前記制御信号を生成するIOアドレス検知回路を具備することを特徴としている。

【0014】また、この発明によるメモリ混載ロジックLSIは、第1または第2のいずれかの発明の複数の半導体記憶装置と、前記半導体記憶装置からの出力データを入力とする出力演算装置とを具備することを特徴としている。あるいは、第1の半導体記憶装置と、第2の半導体記憶装置と前記第1および第2の半導体記憶装置からの出力データを入力とする出力演算装置とを備え、前記第1の半導体記憶装置は、第1または第2のいずれかの発明の半導体記憶装置であることを特徴としている。

【0015】そして、前記出力演算装置は、前記半導体記憶装置のうち1つを選択することを、または、前記半導体記憶装置のすべてを同時に選択することを特徴としている。

【0016】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について説明する。

（第1の実施の形態）図1は、本発明における第1の実施の形態に係わるメモリマクロの概略構成図である。メモリマクロ（半導体記憶装置）10は、例えばDRAM（Dynamic Random Access Memory）の機能を有し、メモリマクロ内でデータの書き込み、読み出しなどの完結した一連の動作が可能である。メモリマクロ10内に、データを記憶するメモリセルアレイ11と、テスト期待値を生成する期待値生成回路12と、外部アドレスがメモリマクロ10の構成中存在するものかどうかを判定し、制御信号（期待値出力コマンド）を出力するアドレス検知回路13と、制御信号によりメモリセルアレイ11と期待値生成回路12の出力データのどちらかを選択し、メモリマクロ10のデータとして出力するマルチプレクサ14（出力選択回路）とから構成されている。

【0017】次に、図1におけるメモリマクロのテスト時の動作について説明する。メモリセルアレイ11からは、例えばnビットずつデータが読み出される。メモリ

10

20

30

40

50

セルアレイ11からのnビットの出力をQ[0:n-1]、期待値生成回路12からのnビットの出力をE[0:n-1]とする。まず、メモリマクロ10にアドレスが入力される。入力されたアドレスに基づき、アドレス検知回路13は、このアドレスがメモリセルアレイ11中に存在するものかどうかを判定する。メモリセルアレイ11中に存在する場合は、アドレス検知回路13の出力(制御信号)は活性化されず、マルチプレクサ14は、メモリセルアレイ11からの出力Q[0:n-1]をデータ出力OUT[0:n-1]として出力する。メモリセルアレイ11中に存在しない場合は、アドレス検知回路13の出力は活性化され、マルチプレクサ14は、期待値生成回路12からの出力E[0:n-1]をデータ出力OUT[0:n-1]として出力する。

【0018】メモリマクロ内にアドレス検知回路を設けることにより、アドレス入力を受けて自身のメモリセルアレイのアドレス空間内か外かをメモリマクロ内で判定でき、制御信号を生成できるので、外部からメモリマクロに応じた制御信号を必要としない。

【0019】このように、自らにないアドレス信号が入力された場合、期待値生成回路12で生成した期待値を選択・出力することにより、あたかもその部分(アドレス空間外)をマスクして正常に動作しているように振舞うことができる。

【0020】したがって、メモリマクロ(メモリセルアレイ)の大きさによらず、アドレス空間外もメモリセルアレイの一部だとみなすことができるので、メモリセルアレイの容量に影響されることなく特定のテストを共通化することができ、さらに、データ出力信号線数の倍数ではないビット幅のメモリセルアレイを持つメモリマクロに対しても共通のインターフェースを利用することができる。

【0021】尚、本実施の形態では、メモリマクロ内のアドレス検知回路により、メモリセルアレイおよび期待値生成回路のデータを選択するマルチプレクサへの制御信号を生成しているが、メモリマクロの外部でこの制御信号を生成し、マルチプレクサに供給してもよい。この場合、メモリマクロ内のアドレス検知回路が必要なくなる。

【0022】次に、図1のメモリマクロを複数個搭載したメモリ混載ロジックLSIについて説明する。図2は、複数個のメモリマクロが搭載されたメモリ混載ロジックLSIの概略構成図である。本実施の形態のメモリ混載ロジックLSI100は、1チップに複数個のメモリマクロ10A~10Cと、マクロ出力演算回路101とから構成されている。メモリマクロ10A~10Cの構成は、図1に示したメモリマクロである。

【0023】図2では、1チップに3つのメモリマクロ10A~10Cが配置されている。それぞれのメモリマ

クロは、1krow/2kカラムのメモリセルアレイを有するメモリマクロ10A、2krow/2kカラムのメモリセルアレイを有するメモリマクロ10B、1krow/1kカラムのメモリセルアレイを有するメモリマクロ10Cである。それぞれのメモリマクロ10A~10Cには、テスト信号が入力される。マクロ出力演算回路101は、メモリマクロ10A~10Cから出力されたデータが入力され、その演算結果を出力するものである。

【0024】テスト信号線102の一端がパッド103aに接続され、他端がメモリマクロ10A~10Cに共通に接続されている。nビットのデータを転送可能な第1の出力信号線104A~104Cの一端が各メモリマクロ10A~10Cに接続され、他端がマクロ出力演算回路101に接続されている。また、nビットのデータを転送可能な第2の出力信号線105の一端がマクロ出力演算回路101に接続され、他端がパッド103bに接続されている。

【0025】次に、メモリマクロ10A~10Cを同時にテストする場合の動作について説明する。メモリマクロ10A~10Cにテスト信号が共通に入力される。これにより、それぞれのメモリマクロ10A~10C内のメモリセルアレイからデータが出力される。

【0026】しかしながら、メモリマクロ10B(2krow/2kカラム)に対して、メモリマクロ10Aおよびメモリマクロ10Cはメモリセルアレイの容量が小さい。この場合、メモリマクロ10Aとメモリマクロ10Cの1krow以上の部分とメモリマクロ10Cの1kカラム以上のところではアドレス空間外となるので、正常なデータが出力されない。したがって、それぞれのメモリマクロが自らに存在しないアドレス空間にアクセスされた時には、メモリマクロ内の期待値生成回路のデータを選択し出力とする。つまり、それぞれのメモリマクロは、外部からの制御信号を受け、メモリセルアレイのデータまたは期待値生成回路のデータを選択し出力する。あるいは、それぞれのメモリマクロ内で、アクセスされたアドレス、すなわち、入力されたアドレス信号がメモリセルアレイのアドレス空間内かどうかをアドレス検知回路で判断し、制御信号を生成し、メモリセルアレイのデータまたは期待値生成回路のデータを選択し出力する。

【0027】図3に、図2における構成で、複数個のメモリマクロを同時にテストしているタイミングチャート図を示す。図3は、あるrowが選択されている状態である。CLKはクロック信号であり、このクロック信号CLKに同期して動作を行う。RDnはリード命令信号(テスト信号)である。Cはカラムアドレスで、ページリードと呼ばれるカラムをインクリメントしてデータを読み出す動作を表している。この時、メモリマクロ10A~10Cは全て、リード命令信号RDnを受けてページリード動作を行っている。OUT[B]はメモリマ

クロ10Bのデータ出力信号を、OUT [C] はメモリマクロ10Cのデータ出力信号を表している。

【0028】図3は、メモリマクロ10Bとメモリマクロ10Cの動作に注目している。カラムアドレスCAが0～1k-1の1k分までは、メモリマクロ10B、10Cはメモリセルアレイのアドレス空間内に蓄えられたデータを出力している。また、カラムアドレスCAが1k～2k-1までは、メモリマクロ10Bではメモリセルアレイのアドレス空間内に蓄えられたデータを出力している。一方、メモリマクロ10Cではメモリセルアレイのアドレス空間外となるので、メモリマクロ10Cの期待値出力コマンドが活性化(図3では“H”を活性化状態としている)し、メモリセルアレイからのデータ出力にかわって、期待値生成回路のデータが出力される。

【0029】上記の説明は、カラムアドレスの場合について示したが、ロウアドレスの場合についても同様である。

【0030】このように、異なる容量のメモリセルアレイを持つ複数のメモリマクロを同時にテストする場合、アドレス空間外をアクセスされたメモリマクロは、メモリマクロ内の期待値生成回路で生成した期待値を選択・出力することにより、すべてのメモリマクロのメモリセルアレイが同じ大きさであるかのように動作することができる。

【0031】したがって、メモリマクロ(メモリセルアレイ)の大きさによらず、どのメモリマクロも同じ大きさのメモリセルアレイを持っているとみなすことができるので、異なる容量のメモリセルアレイを持つ複数のメモリマクロに対して、共通のインターフェースを利用することができる。

【0032】よって、マクロ出力演算回路101は、すべてのメモリマクロから同じ容量のデータを受け取ることができるので、その構成は簡単になる。マクロ出力演算回路101の回路図の一例を図4に示す。

【0033】図4(a)は、メモリマクロからの出力データによる結果を表す回路の一例であり、3つのメモリマクロの出力を入力とするAND回路である。図中のOUT [A] ～OUT [C] はメモリマクロ10A～10Cの出力データである。図4(a)の回路の出力TOUTは、すべてのメモリマクロの出力データが“H”となった時に、“H”となる。

【0034】また、図4(b)は、メモリマクロからの出力データが一致しているかどうかを表す回路の一例であり、3つのメモリマクロの出力を入力とし、2つのNAND回路と1つのOR回路から構成されている。図中のOUT [A] ～OUT [C] はメモリマクロ10A～10Cの出力データである。図4(b)の回路の出力TMATCHは、OUT [A] ～OUT [C] がすべて“H”かすべて“L”となった時に、すなわち、すべてのOUT □ のデータが一致している時に、“H”とな

る。一方、一致していない時には、“L”となる。

【0035】尚、上記では3つの異なるメモリマクロを持つ場合について説明したが、メモリマクロの数が異なっても、入力数が異なるだけで図4の構成は同じでよい。

【0036】したがって、マクロ出力演算回路101は、すべてのメモリマクロから同じ容量のデータを受け取ることができるので、メモリマクロを同時にテストすることができ、テスト時間が短くなる。

【0037】また、マクロ出力演算回路101にメモリマクロを選択する機能を持たせて、メモリマクロを1つずつテストしてもよい。この場合、各メモリマクロ内に期待値生成回路があるので、共通のインターフェースを利用できるのももちろんである。

【0038】尚、搭載されたメモリマクロのうち、最もメモリセルアレイの容量が大きいものは、期待値生成回路を持たせなくてもよい。このメモリマクロの場合、アドレス空間外をアクセスされることはないかもしれないからである。

【0039】図5に、期待値生成回路の回路図の一例を示す。図5に示されている期待値生成回路は、アドレス信号が入力され、出力1ビット分に対応している。データ出力信号線がnビットならば、図5に示した回路を最大n個必要とする。但し、ビット間に相関があるときは、それを回路に実現してもよく、データ出力ビット数に対して回路を削減できる。図5の期待値生成回路は、2つのAND回路と、2つのXOR回路(排他的論理和回路)とから構成されている。図5中のDATA、CSおよびRSは、あらかじめ保持している値で、DATAはその時出力されるべきデータの極性(“H”/“L”)を表している。CS、RSはデータスクランブルを実現するもので、CSはカラムストライプ、RSはロウストライプを実現するものである。また、CA

[0]、RA [0] は入力されたアドレス信号の最下位ビットで、読まれているセルのカラムアドレス、ロウアドレスを示している。そして、この回路の出力が期待値となる。

【0040】このような構成にすることにより、入力されたアドレス信号がメモリセルアレイのアドレス空間外でも、現在アクセスしているアドレスのセルデータとして期待値を生成できる。すなわち、入力されたアドレス信号によって所望の期待値を生成できる。

【0041】図5に示した期待値生成回路は一例で、入力されるアドレス信号に関係なく、“H”または“L”を出力するだけのものでもよい。

(第2の実施の形態) 図6は、本発明における第2の実施の形態に係わるメモリマクロの概略構成図である。本実施の形態のメモリマクロは、通常データ出力に用いられるjビットのデータ出力線Q[0:j-1]と、テスト時のデータ出力に用いられるn(n<j)ビットの

テスト出力線OUT [0:n-1]を有する。そして、外部から、IOアドレスと、メモリセルアレイ21中のセルを選択するアドレスが入力される。ここでいうIOアドレスは、jビットのデータをテスト用にnビットに圧縮する時に使用されるもので、通常のデータ出力時には必要としない。尚、図示されていないが、通常のデータ入力線jビットと、テスト時のテスト入力線nビットも有する。

【0042】図6に示すメモリマクロ20内は、データを記憶するメモリセルアレイ21と、jビットのデータをnビットずつ選択して出力するマルチプレクサ24と、外部から入力されるアドレスに基づき、期待値を生成する期待値生成回路22と、IOアドレスに基づき、メモリマクロ20からの出力nビット幅中の有効ビット幅を検知し、制御信号SEL [0:n-1] (期待値出力コマンド)を出力するIOアドレス検知回路23と、制御信号によりメモリセルアレイ21と期待値生成回路22の出力データのどちらかを選択し、メモリマクロ20のデータとして出力するマルチプレクサ(出力選択回路)25とから構成されている。

【0043】第1の実施の形態におけるメモリマクロと異なるのは、第1の実施の形態ではメモリセルアレイからnビットずつ出力するのに対し、本実施の形態では通常のデータ出力時に使われるjビットのデータ出力線からnビットずつ選択して出力することである。これにより、テスト用のパッド数を減少できる。

【0044】次に、図6におけるメモリマクロのテスト時の動作について説明する。メモリセルアレイ21から、jビットのデータが読み出される。jビットのデータは、マルチプレクサ24でnビットずつ選択され出力される。しかしながら、従来ではjビットのI/Oを持つメモリマクロにおいてjがnの倍数でない場合、すなわち、 $j = n \times k + m$ ($k \geq 0, 0 < m < n$)である場合、nビットのうち一部だけをマスクすることはできず、mビット分のデータはフェイルとなってしまいます。そこで、本実施の形態では、所望のビット幅ずつメモリセルアレイからデータを読み出さなければならない場合には、足りないビット幅分を期待値生成回路22で期待値を生成し、メモリマクロのデータとして出力する。

【0045】ここで、メモリセルアレイ11の大きさを $j = n \times k + m$ とする。まず、jビットのデータをマルチプレクサ24で、nビットずつ選択し、データ読み出しを行う。k回の読み出しはすべてメモリセルアレイ21のアドレス空間内であるので、マルチプレクサ25はメモリセルアレイ21のデータを選択し出力する。

【0046】次に、k+1回目のデータ読み出しは、nビットに満たないデータ(mビット)の読み出しとなる。すると、IOアドレス検知回路23は、入力されたIOアドレスに基づいて、nビットのうちmビットが有効であるので、SEL [0:m-1]は非活性化し、S

EL [m:n-1]は活性化する。そして、マルチプレクサ25は、Q [0:m-1]をOUT [0:m-1]として、E [m:n-1]をOUT [m:n-1]として出力する。

【0047】図7に、図6の構成のメモリマクロをテストしているタイミングチャート図を示す。CLKはクロック信号であり、このクロック信号CLKに同期して本実施の形態のメモリマクロは動作を行う。RDnはリード命令信号(テスト信号)であり、この信号が入力されるとクロック信号CLKに同期して、入力されたアドレスに対応したデータをメモリセルアレイから読み出す。IOADDはIOアドレスで、通常の出力がjビットであるのに対し、テスト時の出力はnビットに圧縮されるので、テスト時に入力され、jビットからnビットのデータを選択するものである。OUT □ は、メモリマクロ20のデータ出力信号を表している。

【0048】現在、あるロウが選択されている状態である。IOアドレスIOADD [0:k-1]までは、全ビット有効なので、IOアドレス検知回路23は制御信号SEL [0:n-1] (期待値出力コマンド)を非活性化("L")する。この信号を受けて、メモリマクロ20はメモリセルアレイ21からの出力Q [0:n-1]をOUT [0:n-1]として出力している。

【0049】一方、IOアドレスIOADD [k]の時は、メモリセルアレイ21からの出力がmビットしか有効でないので、IOアドレス検知回路23は制御信号SEL [0:m-1]を非活性化("L")し、SEL [m:n-1]を活性化("H")する。この信号を受けて、メモリマクロ20はOUT [0:n-1]として、メモリセルアレイ21からの出力Q [0:m-1]と期待値生成回路22からの出力E [m:n-1]を出力している。

【0050】このように、jビットのデータをnビットずつ選択する時、jビットのメモリセルアレイがnビットの倍数でないメモリマクロをテストする場合、期待値生成回路で生成した期待値を選択・出力することにより、あたかもその部分をマスクして正常に動作しているように振舞うことができる。

【0051】したがって、メモリマクロ(メモリセルアレイ)の大きさによらず、所望のビット幅に合わせた出力ができるので、テストデータ出力線の倍数ではないビット幅のメモリセルアレイを持つメモリマクロに対しても共通のインターフェースを利用することができる。

【0052】

【発明の効果】この発明によれば、メモリマクロ内に期待値生成回路を設けることにより、自らにないアドレス空間をアクセスする場合、または、メモリセルアレイからのデータを分割してメモリマクロをテストする場合、期待値生成回路で生成した期待値を選択・出力することにより、あたかも特定の部分(アドレス空間外やデータ

分割時の半端なビット) をマスクして正常に動作するように振舞うことができる。

【0053】 によって、メモリマクロ (メモリセルアレイ) の大きさによらず、アドレス空間外や半端なビット分もメモリセルアレイの一部だとみなすことができ、データ出力信号線数の倍数ではないビット幅のメモリセルアレイを持つメモリマクロに対しても共通のインターフェースを利用することができる。

【図面の簡単な説明】

【図1】 本発明における第1の実施の形態に係わるメモリマクロの概略構成図。

【図2】 複数個のメモリマクロが搭載されたメモリ混載ロジックLSIの概略構成図。

【図3】 複数個のメモリマクロを同時にテストしているタイミングチャート図。

【図4】 マクロ出力演算回路の回路図

【図5】 期待値生成回路の回路図。

【図6】 本発明における第2の実施の形態に係わるメモ

リマクロの概略構成図。

【図7】 第2の実施の形態におけるメモリマクロをテストしているタイミングチャート図。

【図8】 従来のメモリマクロが搭載されたメモリ混載ロジックLSIの概略構成図。

【符号の説明】

10、20、10A~10C…メモリマクロ

11、21…メモリセルアレイ

12、22…期待値生成回路

13…アドレス検知回路

23…I/Oアドレス検知回路

14、24、25…マルチプレクサ

100…メモリ混載ロジックLSI

101…マクロ出力演算回路

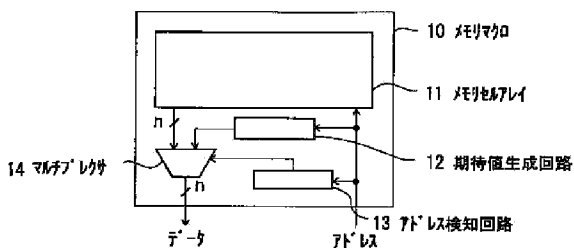
102…テスト信号線

103a、103b…パッド

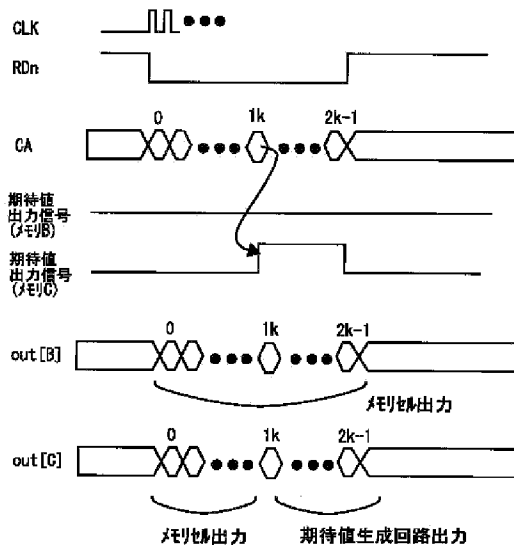
104A~104C…第1の出力信号線

105…第2の出力信号線

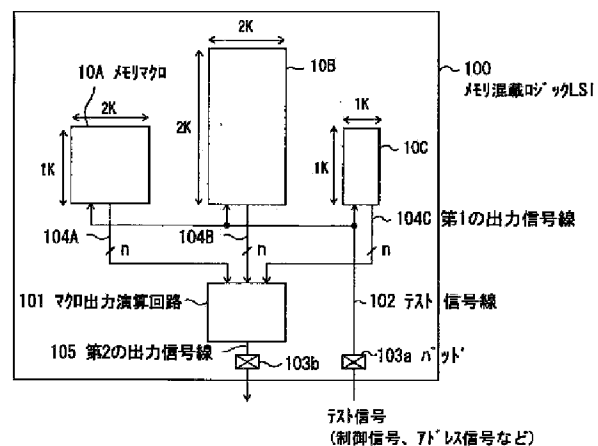
【図1】



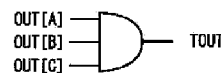
【図3】



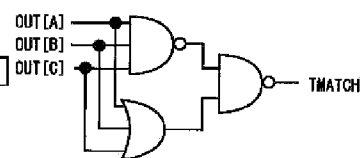
【図2】



【図4】

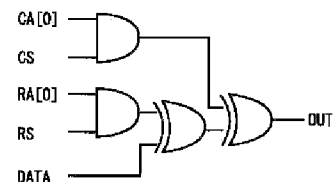


(a)

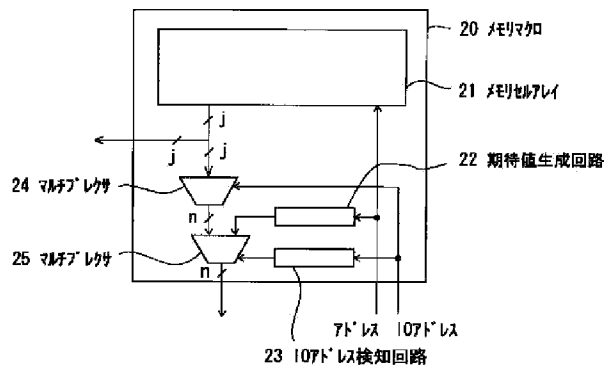


(b)

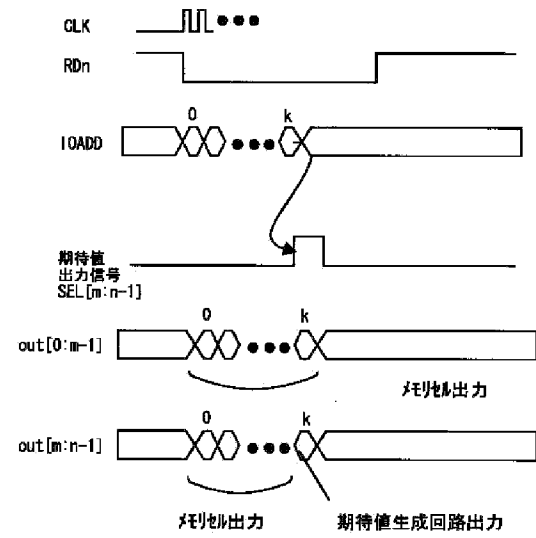
【図5】



【図6】



【図7】



【図8】

